

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07086926 A

(43) Date of publication of application: 31.03.95

(51) Int. Cl

**H03L 7/06**  
**H04B 10/28**  
**H04B 10/26**  
**H04B 10/14**  
**H04B 10/04**  
**H04B 10/06**  
**H04L 12/44**

(21) Application number: 05225417

(71) Applicant: NEC CORP

(22) Date of filing: 10.09.93

(72) Inventor: KAWABATA MITSURU

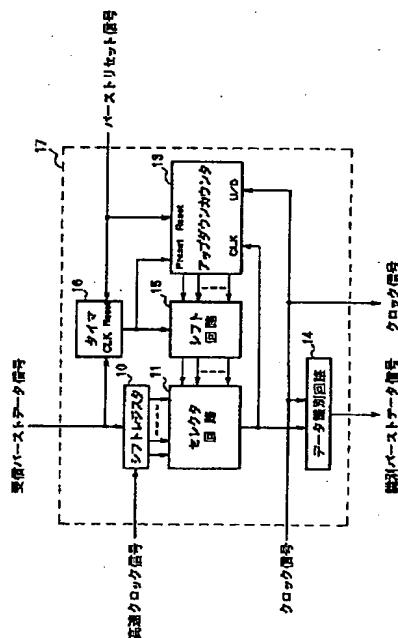
(54) DPLL CIRCUIT

(57) Abstract:

PURPOSE: To make the high-speed synchronization characteristic compatible with the low-sensitivity degradation amount and further to keep the stability of a phase control operation after phase lock.

CONSTITUTION: A count signal outputted from an up-down counter 13 to be used as a phase comparator/control circuit so as to control a selector circuit 11 is shifted for the unit of a bit by using a timer 16 and a shift circuit 15. Thus, the phase controlled variable is enlarged until phase lock and after the phase lock, the phase controlled variable is reduced rather than that before the phase lock.

COPYRIGHT: (C)1995,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-86926

(43)公開日 平成7年(1995)3月31日

(51) Int.Cl.<sup>6</sup>

H 03 L 7/06

H 04 B 10/28

10/26

識別記号

府内整理番号

F I

技術表示箇所

8730-5J

H 03 L 7/06

B

9372-5K

H 04 B 9/00

Y

審査請求 有 請求項の数1 OL (全7頁) 最終頁に続く

(21)出願番号

特願平5-225417

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日

平成5年(1993)9月10日

(72)発明者 川端 充

東京都港区芝五丁目7番1号 日本電気株式会社内

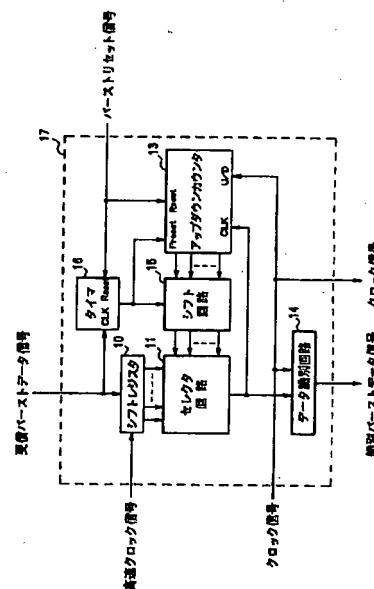
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 DPL回路

(57)【要約】

【目的】 DPL回路において、高速な同期特性と低感度劣化量を両立させ、さらに、位相同期後の位相制御動作の安定性を保つ。

【構成】 位相比較・制御回路として使用するアップダウンカウンタ13から出力され、セレクタ回路11を制御するカウント信号をタイマ16およびシフト回路15を用いてビット単位でシフトさせる。これにより、同期するまでは大きな位相制御量、同期後は同期前より少ない位相制御量とする。



## 【特許請求の範囲】

【請求項1】 受信バーストデータ信号の識別を行なうDPLL回路において、

高速クロック信号を用いて前記受信バーストデータ信号を遅延させ、多相のバーストデータ信号を生成するシフトレジスタと、

前記シフトレジスタにおいて生成された前記多相のバーストデータ信号から1つの位相のバーストデータ信号を選択するセレクタ回路と、

前記セレクタ回路で選択された前記1つの位相のバーストデータ信号をクロック信号を用いて識別するデータ識別回路と、

前記受信バーストデータ信号に同期して入力されるバーストリセット信号以降の所定の時間を測定しタイマ信号を出力するタイマと、

前記セレクタ回路から出力される1つの位相のバーストデータ信号と前記クロック信号の位相関係を比較し、前記セレクタ回路から出力される1つの位相のバーストデータ信号が前記クロック信号と位相同期するための制御信号を出力する位相比較・制御回路と、

前記タイマ信号により前記位相比較・制御回路からの制御信号をビット単位でシフトさせ前記セレクタ回路へ出力するシフト回路より構成されることを特徴とするDPLL回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、複数の送信回路から到着した受信バーストデータ信号の識別を行なうDPLL回路に関する。

## 【0002】

【従来の技術】 低損失性・広帯域性等の優れた特長を持つ光ファイバを用いた光通信システムは、公衆通信網の基幹系を中心に導入され、2.4ギガビット/秒の長距離・大容量システム(2.4Gb/s新同期光伝送システム)が、すでに実用化されている。

【0003】 さらに近年では、このような光伝送技術の発展を背景に広帯域通信サービスの提供を目的として、光加入者伝送系に対する研究開発が行われている。このような光加入者伝送系においては、光通信システムの経済化等に向けて、例えば図3に示すような、1つの親局30に複数の子局32, 33, 34が光スターカップラ31を介して、光ファイバ35, 36, 37, 38で接続されたパッシブ・ダブル・スター(PDS)構成が検討されている。

【0004】 本構成においては、親局には複数の子局の送信器からのデータ信号が、ビット同期がとれていない状態でバースト的に到着する事になる。このために、実際のバーストデータ信号列においては、一般的に、データ信号の前にビット同期をとるためのプリアンブル信号が付加されている。ただし、このプリアンブル信号のビ

10 ット数の増大は、データ信号の伝送効率を低下させることになるので、このような受信バーストデータ信号からタイミング抽出を行なう回路には、少ないビット数のプリアンブル信号で同期可能な「高速の同期特性」が要求される。また、図3のPDS構成においては、すべての子局が割り当てられたタイムスロットで通信を行なうことは限らないため、親局においては長いビット数の零符号連続が生じることがある。従って、タイミング抽出回路においては、「長いビット数の零符号連続への耐力特性」も要求される。

【0005】 ここで、長距離伝送系に適用されるタイミング回路においては、SAWフィルタ等のタンク回路が多用されているが、この回路では「高速の同期特性」、「長ビットの零符号連続への耐力特性」という2つの要求特性がトレードオフの関係になるため、要求特性の両立は困難である。このために、PDS構成のような光加入者伝送系においては、2つの要求特性を満足するため、カウンタやセレクタ等のデジタル素子により構成されたDPLL回路の検討が進められている。

【0006】 図2は、特願昭05-128555号に記載されたDPLL回路の従来例である。図2の従来のDPLL回路において、複数の子局の送信回路から到着した受信バーストデータ信号は、高速クロック信号により動作するシフトレジスタ20を用いて遅延させられ、多相のバーストデータ信号に変換される。そして、このシフトレジスタ20から出力された多相のバーストデータ信号は、セレクタ回路21に入力される。また、DPLL回路に入力されるクロック信号は、アップダウンカウンタ23とデータ識別回路24に入力され、かつクロック信号としてDPLL回路から出力される。

【0007】 一方、アップダウンカウンタ23には、クロック端子にセレクタ回路21で選択された1つの位相のバーストデータ信号が入力され、アップダウン制御端子にはクロック信号が入力される。このような信号が入力されたアップダウンカウンタ23においては、バーストデータ信号の変化点におけるクロック信号の状態(“H”または“L”)により、カウントは+1アップ、または-1ダウンし、そのカウント値がセレクタ回路21に入力される。

【0008】 従って、アップダウンカウンタ23におけるクロック信号の変化点とバーストデータ信号の変化点が一致するように、アップダウンカウンタ23からのカウント信号を用いてセレクタ回路21を制御すれば、複数の子局の送信器からの受信データ信号が、ビット同期がとれていない状態でバースト的に到着した場合においても、データ識別回路24に入力されるバーストデータ信号とクロック信号の位相関係は、位相同期後には、ほぼ一定となる。これより、データ識別回路24において常に最適の位相関係でデータ識別が行なわれた識別バーストデータ信号を、DPLL回路から出力することが可

能となる。

【0009】

【発明が解決しようとする課題】従来のDPLL回路においては、アップダウンカウンタ23のカウント値が1つ変化することによる位相制御量は固定であった。このようなDPLL回路では、高速な同期特性を満足するために、位相制御量を増加させて少ないアップダウンカウント数で同期を確立するようにすると、同期後の位相変動量が大きいためにデータ識別回路24における識別位相余裕が減少し、感度劣化量が増大する。一方、感度劣化量を減少させるために位相制御量を減少させると、同期を確立するためのアップダウンカウント数が増大するため、同期特性が劣化する。すなわち、従来のDPLL回路では、高速な同期特性と低感度劣化量はトレードオフの関係となるという課題があった。

【0010】また、位相同期が行なわれた後に雑音等が混入した場合には、雑音によるアップダウンカウンタ23のカウント値変動がそのままセレクタ回路21に影響を与えるため、位相制御動作が不安定になるという課題もあった。

【0011】本発明の目的は、このような従来の課題を解決し、高速な同期特性と低感度劣化量を両立させ、さらに、位相同期後の位相制御動作の安定性を保つものである。

【0012】

【課題を解決するための手段】前述の課題を解決するために、本発明が提供する手段は、受信バーストデータ信号の識別を行なうDPLL回路において、高速クロック信号を用いて前記受信バーストデータ信号を遅延させ、多相のバーストデータ信号を生成するシフトレジスタと、前記シフトレジスタにおいて生成された前記多相のバーストデータ信号から1つの位相のバーストデータ信号を選択するセレクタ回路と、前記セレクタ回路で選択された前記1つの位相のバーストデータ信号をクロック信号を用いて識別するデータ識別回路と、前記受信バーストデータ信号に同期して入力されるバーストリセット信号以降の所定の時間を測定しタイマ信号を出力するタイマと、前記セレクタ回路から出力される1つの位相のバーストデータ信号と前記クロック信号の位相関係を比較し、前記セレクタ回路から出力される1つの位相のバーストデータ信号が前記クロック信号と位相同期するための制御信号を出力する位相比較・制御回路と、前記タイマ信号により前記位相比較・制御回路からの制御信号をビット単位でシフトさせ前記セレクタ回路へ出力するシフト回路より構成されることを特徴とする。

【0013】

【作用】本発明においては、位相比較・制御回路として使用するアップダウンカウンタから出力され、セレクタ回路を制御するカウント信号を、タイマおよびシフト回路を用いてビット単位でシフトさせる。これにより、同

期するまでは大きな位相制御量、同期後は同期前よりは少ない位相制御量となり、高速な同期特性と低感度劣化量を両立させることが可能となる。

【0014】また、雑音等の混入時における位相同期後の位相制御動作の不安定性を除去することも可能となる。

【0015】

【実施例】図1は、本発明の一実施例を示したものである。この図1を用いて、本発明のDPLL回路の動作を説明する。

【0016】図1のDPLL回路において、複数の子局の送信回路から到着した受信バーストデータ信号は、高速クロック信号により動作するシフトレジスタ10を用いて遅延させられ、多相のバーストデータ信号に変換される。そして、このシフトレジスタ10から出力された多相のバーストデータ信号は、セレクタ回路11に入力される。また、DPLL回路に入力されるクロック信号はアップダウンカウンタ13とデータ識別回路14に入力され、かつクロック信号としてDPLL回路から出力される。

【0017】一方、アップダウンカウンタ13には、クロック端子にセレクタ回路11で選択された1つの位相のバーストデータ信号が入力され、アップダウン制御端子にはクロック信号が入力される。このような信号が入力されたアップダウンカウンタ13においては、バーストデータ信号の変化点におけるクロック信号の状態（“H”または“L”）により、カウンタは+1アップ、または-1ダウンし、そのカウント値がシフト回路15に入力される。

【0018】ここで、シフト回路15においては、位相同期前と位相同期後の動作が異なる。この動作を、図4を用いて説明する。

【0019】まず、位相同期前は、アップダウンカウンタ13からの制御信号を1ビットずつ上位ビットにシフトさせ、最下位ビットからは“L”が出力されるようになる。これにより、アップダウンカウンタ13のカウント値が±1ずつ変化した場合に、シフト回路15の出力は±2ずつ変化することになる。従って、セレクタ回路11では、シフトレジスタ10からの多相のデータ信号を1位相おきに選択することになるため、等価的に位相制御量が2倍に増加することになる。また、位相同期後は、図4の位相同期後（1）に示すように、アップダウンカウンタ13からの制御信号を位相同期前の状態から1ビットずつ下位ビットにシフトさせる。これにより、アップダウンカウンタ13のカウント値が、そのままシフト回路15の出力値となり、セレクタ回路11は多相データ信号を1位相ずつ順番に選択することになる。以上より、同期するまでは大きな位相制御量のデータ信号を、同期後は同期前よりは少ない位相制御量のデータ信号を用いることができる。

【0020】ここで、このシフト回路15内の切り替えは、一例として、以下のようにして行なう。まず、受信バーストデータ信号に同期して入力されるバーストリセット信号によりタイマ16をリセットした後、大きな位相制御量のデータ信号を用いて同期するために必要なプリアンブルビット数まで、受信バーストデータ信号のビット数をカウントする。そして、設定されたカウント数に達した時に制御信号（図4における“H”信号）をタイマ16から出力し、その制御信号を用いてシフト回路15の切り替えを行い位相制御量を減少させる。なお、シフト回路15による位相制御量の切り替え時に、セレクタ回路11で選択される多相データ信号に変化が生じないようにするために、タイマ16から出力される制御信号をアップダウンカウンタ13のプリセット端子にも入力し、シフト回路15の切り替え前に選択しているデータ信号が切り替え直後も選択されるようにする。ここで、タイマ16のCLK端子に入力される信号は、受信バーストデータ信号に同期していればよいので、セレクタ回路11から出力されるバーストデータ信号を用いてもよい。

【0021】以上より、アップダウンカウンタ13におけるクロック信号の変化点とバーストデータ信号の変化点が一致するように、アップダウンカウンタ13からのカウント信号を用いてシフト回路15を経由してセレクタ回路11の制御を行なうことにより、本構成のDPL回路に複数の子局の送信器からの受信データ信号が、ビット同期がとれていない状態でバースト的に到着した場合においても、データ識別回路14に入力されるバーストデータ信号とクロック信号の位相関係は、位相同期後には、ほぼ一定となる。従って、データ識別回路14において常に最適の位相関係でデータ識別が行なわれた識別バーストデータ信号を、DPL回路から出力することが可能となる。

【0022】すなわち、本発明においては、前述した課題を解決するために、アップダウンカウンタ13から出力されセレクタ回路11を制御するカウント信号を、タイマ16およびシフト回路15を用いてビット単位でシフトさせるため、同期するまでは大きな位相制御量、同期後は同期前よりは少ない位相制御量となり、高速な同期特性と低感度劣化量を両立させることが可能となる。

【0023】また、位相同期後に雑音等が混入した場合には、雑音によるアップダウンカウンタ13のカウント値変動がそのままセレクタ回路11に影響を与えるため、位相制御動作が不安定になる恐れがある。しかし、この場合にはシフト回路15の位相同期後のシフト動作を、一例として、図4の位相同期後（2）に示すように、位相同期後（1）よりもさらに下位ビット方向に1

ビットずつシフトさせ、最上位ビットからは“L”が出力されるようにする。これにより、アップダウンカウンタ13でのカウント値をセレクタ回路11側では1/2のカウント値に減少させることができとなる。従って、アップダウンカウンタ13でのカウント値変動量をシフト回路15を用いて圧縮することができ、雑音等の混入時における位相制御動作の不安定性を除去することが可能となる。

【0024】なお、アップダウンカウンタ13の代わりに、セレクタ回路11からのデータ信号の変化点において、クロック信号の状態が“H”または“L”であるかによって、その保持値が変化する回路、例えばシフトレジスタ等を用いても同様の効果が得られる。

【0025】また、タイマ16はバーストリセット信号が入力されてから所定の時間後に制御信号を出力すれば良いので、受信バーストデータ信号をカウントする構成のみならず、モノマルチ回路などを用いても良い。

【0026】

【発明の効果】以上述べたとおり、本発明によれば、位相比較・制御回路として使用するアップダウンカウンタから出力されセレクタ回路を制御するカウント信号を、タイマおよびシフト回路を用いてビット単位でシフトさせるため、同期するまでは大きな位相制御量、同期後は同期前よりは少ない位相制御量となり、高速な同期特性と低感度劣化量を両立させることが可能となる。

【0027】また、位相同期後のシフト回路におけるシフト量を変更することにより、雑音等の混入時における位相制御動作の不安定性を除去することも可能となる。

【図面の簡単な説明】

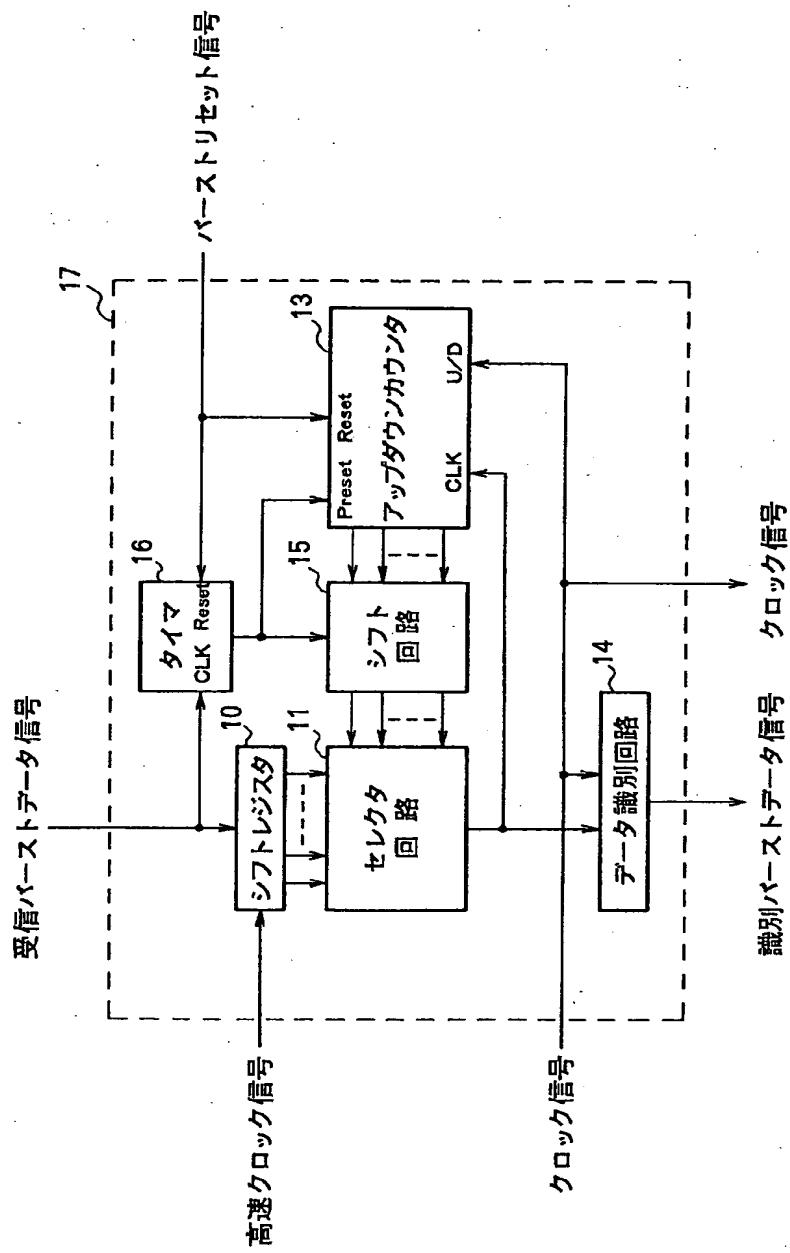
30 【図1】本発明のDPL回路の一実施例を示す図。  
【図2】従来のDPL回路の一実施例を示す図。  
【図3】パッシブ・ダブル・スター構成の一例を示す図。

【図4】シフト回路の動作の一例を示す図。

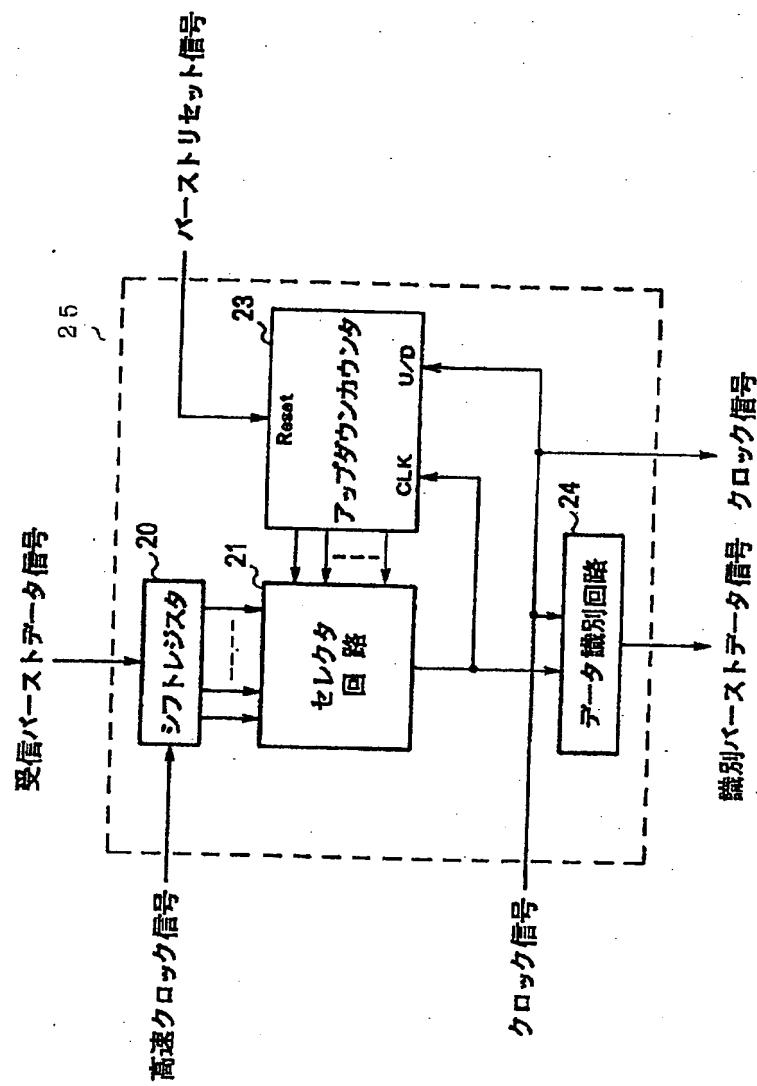
【符号の説明】

10, 20 シフトレジスタ、  
11, 21 セレクタ回路、  
13, 23 アップダウンカウンタ、  
14, 24 データ識別回路、  
40 15 シフト回路、  
16 タイマ、  
17, 25 DPL回路、  
30 親局、  
31 光スターカップラ、  
32, 33, 34 子局、  
35, 36, 37, 38 光ファイバ。

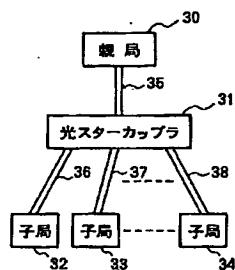
【図1】



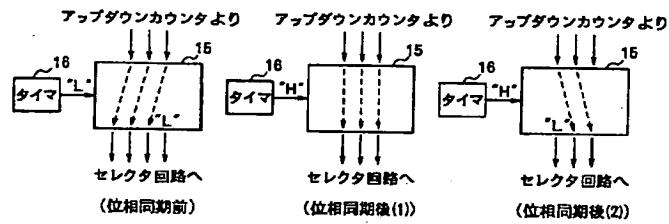
[図2]



【図3】



【図4】



フロントページの続き

(51) Int.Cl.6

識別記号

府内整理番号

F I

技術表示箇所

H 0 4 B 10/14

10/04

10/06

H 0 4 L 12/44

8732-5K

H 0 4 L 11/00

3 4 0